

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 01 856.5
Anmeldetag: 17. Januar 2003
Anmelder/Inhaber: Infineon Technologies AG,
München/DE
Bezeichnung: Integrierter Speicher
IPC: G 11 C 11/404

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 09. Januar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to be 'Hoß', written over the text 'Im Auftrag'.

Hoß

Beschreibung

Integrierter Speicher

5 Die vorliegende Erfindung betrifft einen integrierten Speicher mit einem Speicherzellenfeld, das Wortleitungen zur Auswahl von Speicherzellen und Bitleitungen zum Auslesen oder Schreiben von Datensignalen der Speicherzellen aufweist, sowie mit einem Leseverstärker, der an eine der Bitleitungen an
10 einem Ende dieser Bitleitung angeschlossen ist.

Ein integrierter Speicher etwa in Form eines DRAMS (Dynamic Random Access Memory) weist im allgemeinen ein Speicherzellenfeld auf, das Wortleitungen und Bitleitungen umfaßt, wobei
15 die Speicherzellen jeweils in Kreuzungspunkten der Wortleitungen und Bitleitungen angeordnet sind. Die üblicherweise in integrierten dynamischen Speichern mit wahlfreiem Zugriff verwendeten Speicherzellen weisen im wesentlichen eine Speicherkapazität und einen Auswahltransistor auf. Die Speicherkapazitäten der Speicherzellen sind jeweils über den Auswahltransistor, dessen Steuereingang mit einer der Wortleitungen verbunden ist, mit einer der Bitleitungen verbunden, über die ein Datensignal ausgelesen bzw. eingeschrieben wird. Eine Wortleitung wählt Auswahltransistoren von entsprechenden
20 Speicherzellen entlang der Wortleitung aus, wobei die Auswahltransistoren geöffnet werden. Ist der jeweilige Auswahltransistor offen, so kann die Ladung, die in der Zellkapazität gespeichert ist, auf die entsprechende Bitleitung und von dort in einen Schreib-Lese-Verstärker gelangen.

30

Bei einem Speicherzugriff wird zunächst eine Wortleitung aktiviert. Dadurch werden die entlang einer Wortleitung angeordneten Speicherzellen jeweils über den betreffenden Auswahltransistor mit einer Bitleitung leitend verschaltet. Dabei teilt sich die gespeicherte Ladung entsprechend der Speicherzellenkapazität und Bitleitungskapazität auf. Entsprechend dem Verhältnis dieser beiden Kapazitäten (sogenanntes
35

Transfer-Ratio) führt dies zu einer Auslenkung der Bitleitungsspannung. Der sich an einem Ende der Bitleitung befindende Leseverstärker vergleicht diese Spannung mit der konstanten Spannung auf der zugehörigen komplementären Bitleitung und verstärkt die relativ geringe Potentialdifferenz zwischen der Bitleitung und der komplementären Bitleitung, bis die Bitleitung den vollen Signalpegel für eine gespeicherte logische 1, die beispielsweise einem positiven Versorgungspotential entspricht, oder den Signalpegel für eine logische 0, die beispielsweise einem Bezugspotential entspricht, erreicht hat. Gleichzeitig werden auf der zugehörigen komplementären Bitleitung die inversen Signalpegel erreicht. Da der betreffende Auswahltransistor während dieses Vorgangs geöffnet bleibt, wird das Signal gleichzeitig wieder in die Speicherzelle zurückgeschrieben (sogenannter Refresh). Damit können etwaige durch Lecken verursachte Ladungsverluste der gespeicherten Ladung wieder ausgeglichen werden. Bei dem beschriebenen Speicherzugriff wird also nicht nur die Speicherzellenkapazität geladen, sondern es muß die gesamte Kapazität der entsprechenden Bitleitungen umgeladen werden.

Um eine möglichst kompakte Anordnung des Speicherzellenfeldes zu erreichen, sind im allgemeinen möglichst lange Bitleitungen anzustreben. Dies führt jedoch zu entsprechend hohen Bitleitungskapazitäten. Die Folge davon ist einerseits eine Reduktion des vom Leseverstärker zu detektierenden Speicherzellen-Signals durch Verschlechterung des Transfer-Ratios und andererseits eine erhöhte Kopplung zwischen benachbarten Bitleitungen mit dadurch verursachtem störendem Übersprechen.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, einen integrierten Speicher anzugeben, bei dem die für einen Speicherzugriff effektive Kapazität einer Bitleitung reduziert ist.

Diese Aufgabe wird durch einen integrierten Speicher gemäß Patentanspruch 1 gelöst.

Ein erfindungsgemäßer integrierter Speicher der eingangs genannten Art weist wenigstens eine aktivierbare Trennschaltung auf, die in die mit dem Leseverstärker verbundene Bitleitung geschaltet ist. Die Trennschaltung ist durch ein entsprechendes Steuersignal aktivierbar und trennt im aktivierten Zustand während eines Zugriffs auf das Speicherzellenfeld einen dem Leseverstärker entfernteren Teil dieser Bitleitung vom Leseverstärker. Dadurch wird die effektive Kapazität dieser Bitleitung beim Speicherzugriff deutlich reduziert. Das Transfer-Ratio für den "verkürzten Arm" dieser Bitleitung und damit das vom Leseverstärker zu detektierende Speicherzellen-Signal werden entsprechend erhöht. Zusätzlich wird der beim Zurückschreiben benötigte Umladestrom reduziert. Gleichzeitig ist es jedoch ermöglicht, physikalisch relativ lange Bitleitungen vorzusehen.

In einer vorteilhaften Ausführungsform der Erfindung ist die Trennschaltung innerhalb eines Bereichs angeordnet, der in Relation zum Speicherzellenfeld signifikant kleiner ist und der mittig in Relation zur Längserstreckung der betreffenden Bitleitung angeordnet ist. Ist dieser Ausführungsform wird die effektive Kapazität der betreffenden Bitleitung beim Speicherzugriff in etwa halbiert, da der beim Speicherzugriff "verkürzte Arm" der Bitleitung in etwa der Hälfte der physikalischen Länge der Bitleitung entspricht. Da für einen Speicherzugriff nurmehr etwa die halbe Kapazität einer Bitleitung umgeladen werden muß, ergibt sich eine entsprechend deutliche Stromreduktion beim Speicherzugriff.

30

In einer weiteren Ausführungsform der Erfindung sind die Bitleitungen des Speichers mit einem sogenannten Bitleitungstwist versehen, dessen Ziel es ist, die Bitleitungskopplung weiter zu minimieren. Die Bitleitungen des Speichers sind hierzu in Bitleitungspaaren organisiert, wobei die Bitleitungen eines Bitleitungspaares sich an einer Verkreuzungsstelle, dem Bitleitungstwist, überkreuzen und ansonsten im wesentli-

chen parallel zueinander verlaufen. Da mit dem Vorsehen eines Bitleitungs-Twist, der im allgemeinen in der Mitte des Speicherzellenfeldes angeordnet ist, die regelmäßige Struktur des Speicherzellenfeldes unterbrochen wird, ist es vorteilhaft, die Trennschaltung in der Nähe dieses Bitleitungs-Twists anzuordnen. Entsprechend ist der Abstand der Trennschaltung zur Verkreuzungsstelle des Bitleitungs-Twist deutlich kleiner als der Abstand zu dem Leseverstärker.

10 Weitere vorteilhafte Aus- und Weiterbildungen der Erfindung sind in Unteransprüchen angegeben.

Die Erfindung wird im folgenden anhand der in der Zeichnung dargestellten Figuren näher erläutert.

15

Es zeigen:

Figur 1 eine grob schematische Darstellung einer Ausführungsform eines Speicherzellenfeldes eines integrierten Speichers,

20

Figur 2 eine Ausführungsform einer Teilschaltung eines integrierten Speichers mit erfindungsgemäßen Trennschaltungen,

25

Figur 3 eine Teilschaltung eines integrierten Speichers nach dem Stand der Technik.

In Figur 1 ist grob schematisch ein in Blöcken unterteiltes Speicherzellenfeld eines integrierten Speichers 10 gezeigt. Hierbei werden die Speicherzellenblöcke durch die einzelnen Speicherzellenfelder 11, 12, 13 und 14 gebildet. Wie anhand des Speicherzellenfeldes 13 näher dargestellt, weisen die einzelnen Speicherzellenfelder Wortleitungen WL zur Auswahl von Speicherzellen und Bitleitungen, beispielhaft dargestellt anhand Bitleitungen BL1 und BL4, zum Auslesen oder Schreiben von Datensignalen der Speicherzellen auf. Die hier nicht dar-

30

35

gestellten Speicherzellen sind in bekannter Weise in Kreuzungspunkten der Wortleitungen und Bitleitungen angeordnet und jeweils mit einer der Wortleitungen und einer der Bitleitungen verbunden. Die Bitleitungen sind in Bitleitungspaaren organisiert, wobei die Bitleitungen eines Bitleitungspaares über weite Bereiche im wesentlichen parallel zueinander verlaufen, wie in Figur 1 angedeutet.

Das Speicherzellenfeld 13 wird von den Leseverstärkerstreifen 2 und 3 begrenzt, wobei die Bitleitungen in Längsrichtung der Leseverstärkerstreifen abwechselnd mit einem der Leseverstärker des Leseverstärkerstreifens 2 und mit einem der Leseverstärker des Leseverstärkerstreifens 3 verbunden sind. Auf diese Art ist eine kompakte Anordnung eines Speicherzellenfeldes ermöglicht, da die jeweiligen Leseverstärker platzsparend einander gegenüber angeordnet werden.

In Figur 3 ist eine näher dargestellte Teilschaltung eines integrierten Speichers nach dem Stand der Technik gezeigt, der nach dem Prinzip des Speichers gemäß Figur 1 aufgebaut ist. In dem Leseverstärkerstreifen 2 sind die einzelnen Leseverstärker SA21, SA22 und SA23 angeordnet. Der Leseverstärker SA31 befindet sich in dem Leseverstärkerstreifen 3. In dem Speicherzellenfeld 13 sind die Wortleitungen WL1 und WL2 angeordnet sowie die Bitleitungen BL1 und BL2. Die Bitleitungen BL1 und BL2 sind in Bitleitungspaaren organisiert, bestehend aus den Bitleitungen BL1c, BL1t und BL2c, BL2t. Die Bitleitungen BL1c, BL1t überkreuzen sich an einer Verkreuzungsstelle, einem sogenannten Bitleitungs-Twist TW, und verlaufen ansonsten im wesentlichen parallel zueinander. Entsprechend den Bitleitungen BL1c, BL1t ändert sich der Verlauf der Bitleitungen BL2c, BL2t an dem Bitleitungs-Twist TW.

Die Speicherzellen MC1, MC2 sind jeweils in Kreuzungspunkten der Wortleitungen und Bitleitungen angeordnet. Die Speicherzellen MC1, MC2 weisen jeweils einen Auswahltransistor AT1, AT2 und einen Speicherkondensator C1, C2 auf. Der Steuerein-

gang der Auswahltransistoren AT1, AT2 ist mit der Wortleitung WL1 bzw. WL2 verbunden, durch die die Speicherzellen bei einem Speicherzugriff aktiviert werden. Hierzu werden die Auswahltransistoren AT1, AT2 durch die Wortleitungen WL1, WL2 leitend geschaltet. Ist der jeweilige Auswahltransistor offen, kann die Ladung, die in der jeweiligen Speicherzellenkapazität C1, C2 gespeichert ist, auf die entsprechende Bitleitung BL1t bzw. BL2t und von dort in den Leseverstärker SA22 bzw. SA31 gelangen. Durch das Vorsehen des Bitleitungs-Twists TW wird die Bitleitungskopplung insbesondere bei vergleichsweise langen Bitleitungen reduziert. Der Bitleitungs-Twist TW ist hierbei vorteilhaft in etwa in der Mitte einer jeweiligen Bitleitung angeordnet.

In Figur 2 ist eine Teilschaltung eines erfindungsgemäßen integrierten Speichers gezeigt, der nach den Konstruktionsprinzipien der Speicher gemäß Figuren 1 und 3 aufgebaut ist. In Figur 2 ist der Übersichtlichkeit halber auf die Darstellung der Wortleitung WL2 und der Speicherzelle MC2 verzichtet worden. Zur besseren Übersichtlichkeit sind in Figur 2 nur die Speicherzelle MC1, die Wortleitung WL1 und die Bitleitungen BL1, BL2 dargestellt. In Wirklichkeit sind jeweils eine Vielzahl von Speicherzellen, Wortleitungen und Bitleitungen vorgesehen. Im Unterschied zum Speicher gemäß Figur 3 ist an dem Bitleitungs-Twist TW eine jeweilige Trennschaltung TS1, TS2 in die Bitleitung BL1 bzw. BL2 geschaltet. Die Trennschaltungen TS1, TS2 weisen jeweilige Isolationstransistoren T11 bis T22 auf, die in die Bitleitungen BL1c, BL1t, BL2c, BL2t eines Bitleitungspaares geschaltet sind. Die Isolationstransistoren T11, T12 sind über eine Steuerleitung SL, die Isolationstransistoren T21, T22 über eine Steuerleitung SR aktivierbar. Hierbei heißt aktivierbar im Sinne der Erfindung, daß die Isolationstransistoren in einen nicht leitenden Zustand übergehen und damit den von dem jeweiligen Leseverstärker SA22, SA31 entfernten Teil der jeweiligen Bitleitung von dem entsprechenden Leseverstärker trennen.

Die Aktivierung der Isolationstransistoren wird hierbei während eines Zugriffs auf das Speicherzellenfeld durchgeführt, so daß der jeweilige an einem Ende einer Bitleitung angeschlossene Leseverstärker nur die Kapazität eines "verkürzten Arms" einer Bitleitung umladen muß. Dadurch wird das Transfer-Ratio für den "verkürzten Arm" der entsprechenden Bitleitung und damit das vom Leseverstärker zu detektierende Speicherzellen-Signal entsprechend erhöht. Zusätzlich wird der beim Zurückschreiben benötigte Umladestrom reduziert. Die Aktivierung der Isolationstransistoren T11 bis T22 wird über den Wortleitungs-Adreßdecoder 20 vorgenommen, der über ein Aktivierungssignal ACT(WL) Wortleitungen für einen Speicherzugriff anwählt und aktiviert.

Die gemeinsam angesteuerten Isolationstransistoren T11, T12 bzw. T21, T22 sind derart angeordnet, daß in Längsrichtung der Leseverstärkerstreifen 2, 3 bei jedem zweiten Bitleitungspaar das dem jeweiligen Leseverstärker entferntere Ende des Bitleitungspaares abgeschaltet wird. Dadurch wird die effektive Kapazität eines Bitleitungspaares halbiert. Da auf jedem zweiten Bitleitungspaar nurmehr die halbe Kapazität umgeladen werden muß, ergibt sich für jeden Wortleitungszugriff eine Stromreduktion von etwa 25%. Hierbei wird durch den Adreßdecoder 20, an dem die Reihenadresse RADR anliegt, festgelegt, ob die "rechte" oder "linke" Bitleitungshälfte abgeschaltet wird.

Die Isolationstransistoren T11 bis T22 der Trennschaltungen TS1, TS2 sind vorteilhaft innerhalb eines Bereichs B angeordnet, der in Relation zum Speicherzellenfeld 13 signifikant kleiner ist und der mittig in Relation zur Längserstreckung der Bitleitungen BL1, BL2 angeordnet ist. Innerhalb des Bereichs B ist der Bitleitungs-Twist TW angeordnet. Die mittige Anordnung des Bitleitungs-Twists TW ist in Figur 2 aus Übersichtlichkeitsgründen verzerrt dargestellt. Da mit diesem Bitleitungs-Twist TW die regelmäßige Struktur des Speicherzellenfeldes 13 unterbrochen wird, sind die Trennschaltungen

TS1, TS2 vorteilhaft in der Nähe dieses Bitleitungs-Twists TW anzuordnen. Wie beispielhaft anhand der Trennschaltung TS1 erläutert, ist hierbei der Abstand a_1 dieser Trennschaltung zum Bitleitungs-Twist TW deutlich kleiner als der Abstand a_2
5 dieser Trennschaltung zu dem Leseverstärker SA22.

Patentansprüche

1. Integrierter Speicher

- mit einem Speicherzellenfeld (13), das Wortleitungen (WL1, WL2) zur Auswahl von Speicherzellen (MC1, MC2) und Bitleitungen (BL1, BL2) zum Auslesen oder Schreiben von Datensignalen der Speicherzellen aufweist,
- mit einem Leseverstärker (SA22, SA31), der an eine der Bitleitungen (BL1, BL2) an einem Ende dieser Bitleitung angeschlossen ist,
- mit wenigstens einer aktivierbaren Trennschaltung (TS1, TS2), die in die eine der Bitleitungen (BL1, BL2) geschaltet ist und die im aktivierten Zustand während eines Zugriffs auf das Speicherzellenfeld einen dem Leseverstärker (SA22, SA31) entfernteren Teil der einen der Bitleitungen vom Leseverstärker trennt.

2. Integrierter Speicher nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

- die wenigstens eine Trennschaltung (TS1, TS2) innerhalb eines Bereichs (B) angeordnet ist, der in Relation zum Speicherzellenfeld (13) signifikant kleiner ist und der mittig in Relation zur Längserstreckung der betreffenden Bitleitung (BL1, BL2) angeordnet ist.

3. Integrierter Speicher nach Anspruch 1 oder 2,

d a d u r c h g e k e n n z e i c h n e t, daß

- die wenigstens eine Trennschaltung (TS1, TS2) durch einen Wortleitungsdecoder (20) zur Auswahl einer der Wortleitungen (WL1) für den Speicherzugriff aktivierbar ist.

4. Integrierter Speicher nach einem der Ansprüche 1 bis 3,

d a d u r c h g e k e n n z e i c h n e t, daß

- die Bitleitungen in Bitleitungspaaren organisiert sind, wobei die Bitleitungen (BL1c, BL1t) eines Bitleitungspaars sich an einer Verkreuzungsstelle (TW) überkreuzen und ansonsten im wesentlichen parallel zueinander verlaufen,

- die Trennschaltung (TS1) mit einem ersten Abstand (a1) zur Verkreuzungsstelle (TW) und mit einem zweiten Abstand (a2) zu dem Leseverstärker (SA22) angeordnet ist, wobei der erste Abstand (a1) kleiner als der zweite Abstand (a2) ist.

5

5. Integrierter Speicher nach einem der Ansprüche 1 bis 4, d a d u r c h g e k e n n z e i c h n e t, daß

- innerhalb des Speicherzellenfeldes (13) wenigstens ein erster und zweiter Leseverstärkerstreifen (2, 3) vorgesehen sind,

10

- die Bitleitungen (BL1, BL2, BL4) in Längsrichtung der Leseverstärkerstreifen (2, 3) abwechselnd mit einem Leseverstärker (SA22) des ersten Leseverstärkerstreifens (2) und einem Leseverstärker (SA31) des zweiten Leseverstärkerstreifens (3)

15

verbunden sind,

- die Trennschaltung (TS1, TS2) derart angeordnet und ausgebildet ist, daß im aktivierten Zustand in Längsrichtung der Leseverstärkerstreifen bei jeder zweiten Bitleitung bzw. bei jedem zweiten Bitleitungspaar ein dem betreffenden Leseverstärker entfernterer Teil der betreffenden Bitleitung bzw. des betreffenden Bitleitungspaares vom Leseverstärker durch die Trennschaltung abtrennbar ist.

20

Zusammenfassung

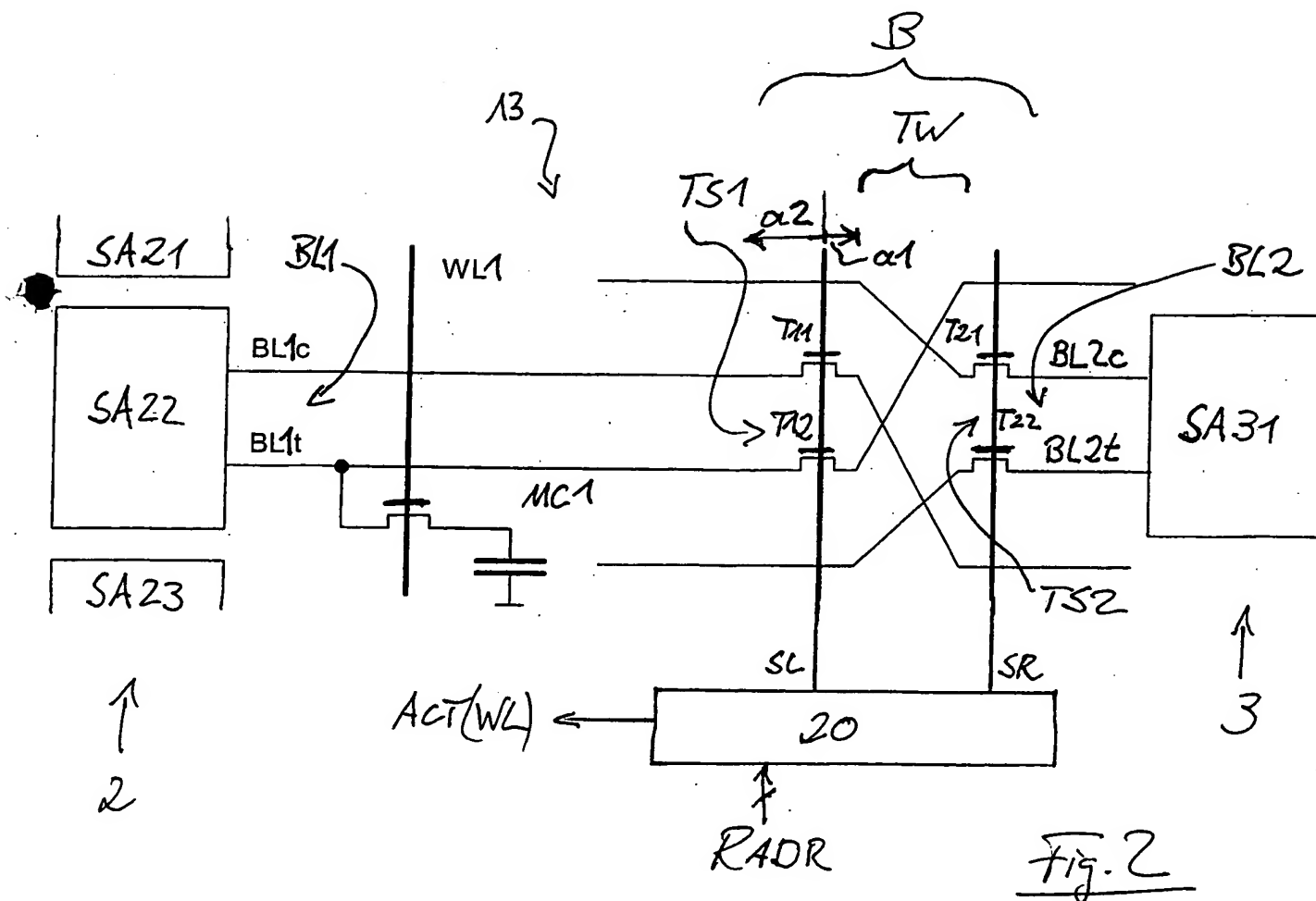
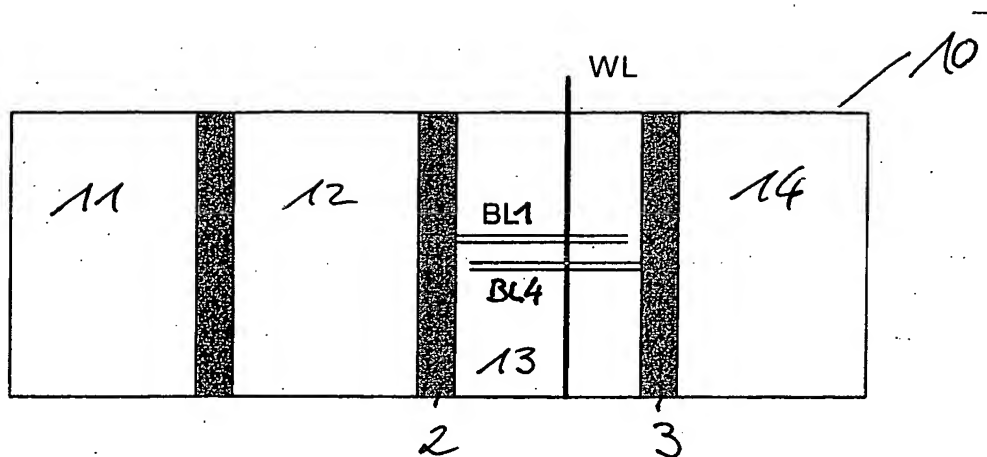
Integrierter Speicher

- 5 Der erfindungsgemäße integrierte Speicher weist ein Speicherzellenfeld (13) auf, das Wortleitungen (WL1, WL2) zur Auswahl von Speicherzellen (MC1, MC2) und Bitleitungen (BL1, BL2) zum Auslesen oder Schreiben von Datensignalen der Speicherzellen enthält, sowie einen Leseverstärker (SA22, SA31), der an eine
- 10 der Bitleitungen (BL1, BL2) an einem Ende dieser Bitleitung angeschlossen ist. Wenigstens eine aktivierbare Trennschaltung (TS1, TS2), die in die eine der Bitleitungen (BL1, BL2) geschaltet ist, trennt im aktivierten Zustand während eines Speicherzugriffs einen dem Leseverstärker (SA22, SA31) ent-
- 15 fernteren Teil der Bitleitung vom Leseverstärker ab. Dadurch wird die effektive Kapazität dieser Bitleitung beim Speicherzugriff deutlich reduziert.

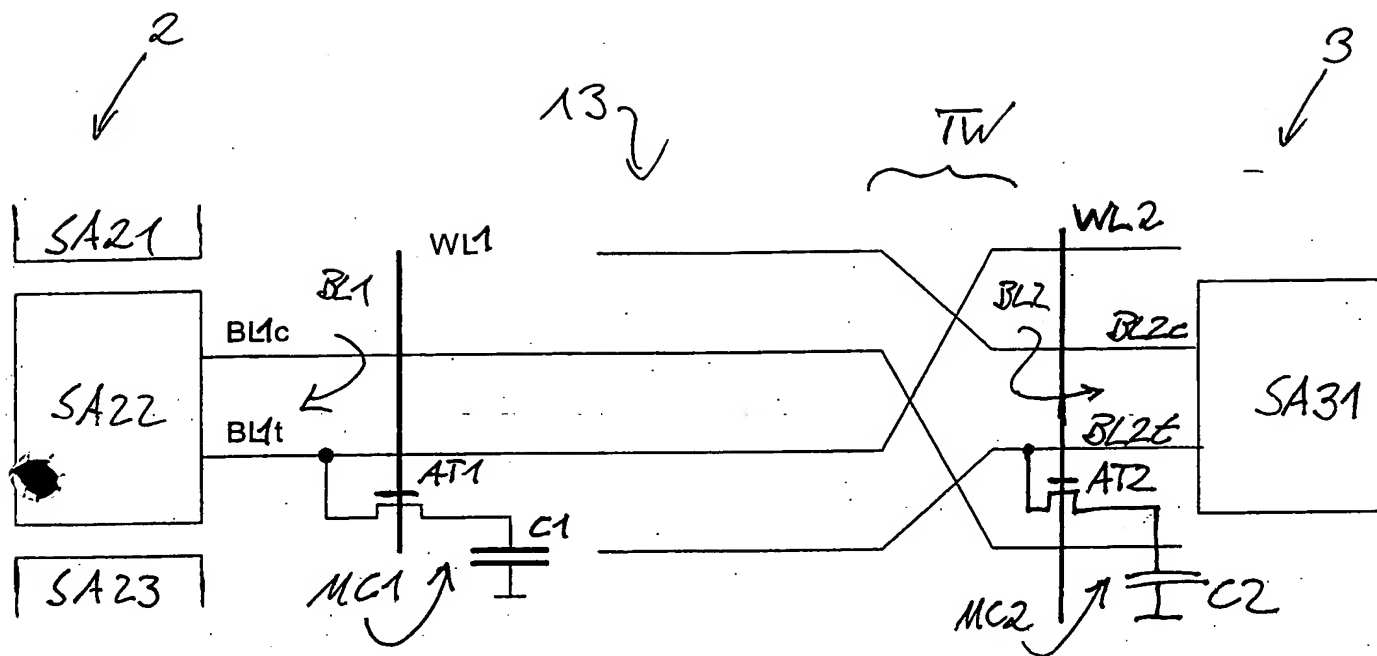
20 Figur 2

Bezugszeichenliste

	2, 3	Leseverstärkerstreifen
5	10	Speicher
	11 bis 14	Speicherzellenfeld
	20	Adreßdecoder
	WL, WL1, WL2	Wortleitung
	BL1, BL2, BL4	Bitleitung
10	BL1c, BL1t	Bitleitung
	BL2c, BL2t	Bitleitung
	SL, SR	Steuerleitung
	T11 bis T22	Isolationstransistor
	AT1, AT2	Auswahltransistor
15	C1, C2	Speicherzellenkapazität
	MC1, MC2	Speicherzelle
	TW	Bitleitungs-Twist
	SA21 bis SA23	Leseverstärker
	SA31	Leseverstärker
20	a1, a2	Abstand
	B	Bereich
	RADR	Reihenadresse
	ACT(WL)	Aktivierungssignal
	TS1, TS2	Trennschaltung



2/2



Stand der Technik

Fig. 3